Electron S.R.L.

Design
Production &
Trading of
Educational
Equipment

B1137-D – FORMATEUR MAQUETTE ELECTRONIQUE NUMERIQUE

MANUEL D'INSTRUCTIONS

Electron S.R.L. - MERLINO - MILAN ITALIE Tel (++ 39 02) 9065 9200 Fax 9065 9180
Web – www.electron.it , e-mail – electron@electron.it

B1137D10.DOC 03/2010

SOMMAIRE

CHAPITRE 1 – INTRODUCTION ET DESCRIPTION DU SYSTEME

1 – Introduction
2 – Description
3 – Procédure de préparation du poste de travail
4 – Inventaire des composants

CHAPITRE 2 – MULTIVIBRATEURS A TRANSISTORS

1 – Circuit bistable
2 – Bistable avec capacités d'accélération
3 – Fonctionnement du circuit bistable en mode bascule
4 – Bistable non saturé, avec couplage d'émetteur
5 – Circuit astable

CHAPITRE 3 – PORTES LOGIQUES DE BASE

1 – Addition Logique (OU LOGIQUE)
2 – Produit logique (ET LOGIQUE)
3 – Addition logique inversée (NON OU LOGIQUE)
4 – Produit logique inversée (NON ET LOGIQUE)

CHAPITRE 4 – PORTES NUMERIQUES

1 – Présentation
2 – Opération NON ET
3 – Opération ET
4 – Opération OU
5 – Opération NON OU
6 – Bistable RS (Bascule)
7 – Circuit astable

CHAPITRE 5 – ADDITION/SOUSTRACTION DE NOMBRES BINAIRES

1 – Demi additionneur
2 – Additionneur complet
3 – Soustraction de nombres binaires

CHAPITRE 6 – CONVERTISSEURS DE CODE

1 – Convertisseur décimal-binaire
2 – Convertisseur binaire-décimal
3 – Convertisseur binaire-7 segments

CHAPITRE 7 – BASCULES

1 – La bascule RS
2 – La bascule D
3 – La bascule JK

CHAPITRE 8 – APPLICATIONS DES BASCULES

1 – Diviseur de fréquence (par2)
2 – Registre parallèle
3 – Compteur binaire
4 – Décompteur binaire
5 – Compteur préréglable à division par N
6 – Registre à décalage

CHAPITRE 9 – TRIGGER DE SCHMITT CMOS: DETECTEUR DE SEUIL

1 – Génération de niveaux logiques à partir de signaux lents
2 – Générateur de retard d'un temporisateur
3 – Générateur de temporisation

CHAPITRE 1 – INTRODUCTION ET DESCRIPTION DU SYSTEME

1 – Introduction

Le B1137 est un outil général destiné pour le montage de circuits électroniques pour le développement et la formation.

Le B1137 consiste en un large panneau (face avant 355 x 254 mm) comportant tout ce qui est nécessaire pour le travail de laboratoire. Il est disponible en deux versions orientées respectivement (mais non limitées) vers le développement de circuits analogiques ou digitaux.

Ces deux versions partagent la même philosophie de construction et ont plusieurs parties identiques.
Elles sont respectivement identifiées par B1137-A pour l'analogique et B1137-D pour la digitale.

Le B1137 est fourni avec un kit de composants pour la réalisation des expérimentations. Deux kits standards sont disponibles pour respectivement l'électronique analogique et l'électronique digitale. En complément, des kits de composants spécifiques peuvent être fournis pour couvrir tout autre besoin pédagogique.

Chaque kit de composant est accompagné d'un manuel d'expérimentations incluant les datasheets des composants.

Ce manuel s'applique au B1137-D (Version Digitale) équipé du kit de composants standard pour les expériences en électronique digitale.

2 - Description

Se référer à la Fig.1, qui montre la photo du poste de travail B1137-D et à Fig.1A, une vue de face détaillée. L'unité didactique comprend:

- 2 grandes zones pour le montage sans soudures pour un total de 1330 contacts. Le fil accepté est du type d'âme unique avec diamètre du conducteur de 0.3 à 1mm.
  Un stock de fil prédécoupé et prédénudé est fourni avec le pupitre.

- Une grande zone de supports pour CI avec six supports 16 broches, deux supports 18 broches, et un support 24 broches.
  Chaque broche est accessible par deux bandes femelles pour la connexion du fil du type d'âme unique fourni avec l'unité didactique.

- L'alimentation à commutation avec une sortie $+5_{CC}$, stabilisée et protégée, avec protection contre le court-circuit à 2A environ.

  Naturellement on doit débrancher le secteur immédiatement en cas de toute condition anormale (chauffage excessif, fumée, odeur, vibration etc.).
  La tension d'alimentation est de 220 à $240V_{CA}$ 50 ou 60Hz. Autres tensions sont disponibles sur demande.

- 10 indicateurs d'état logique, qui donnent une visualisation de l'état des signaux du circuit à l'essai.
  Les afficheurs sont éteints pour entrées de niveau logique bas (moins que $1.2V_{CC}$) et sont autrement allumés.
  La tension d'entrée maximum acceptable est de 12V (pour emploi avec logique de haut niveau).

- 8 générateurs d'état logique, numérotés S0 à S7. Ceux-ci fournissent la commutation entre les niveaux TTL sous la commande des 8 interrupteurs à levier.

- 4 générateurs à impulsion simple (single-shot), chacun commandé par un bouton poussoir (B0 à B3). Chaque générateur fournit une seule impulsion bas, haut, puis bas d'approximativement 40msec à chaque appui sur le bouton correspondant. Les sorties sont de niveau TTL.

- 4 commutateurs binaires à quatre bits, type tournant. Chacun d'eux est préréglable pour générer un nombre de 0 à 15 en binaire (0 à F en hexadécimal).
  Les interrupteurs utilisent un code "standard, non inversé": un "0" signifie que tous les interrupteurs sont ouverts, un "F" signifie que tous les contacts sont fermés.
  Le point commun des 4 contacts est marqué "C", tandis que les 4 contacts de sortie de chaque interrupteur sont marqués 1, 2, 4 et 8, ce qui indique le poids de chaque sortie en échelle binaire.

– 1 afficheur à quatre-chiffres avec décodeur/convertisseur, qui permet d'accepter des mots de données 4-bit (0 à F) et une adresse afficheur à 4-bit comme entrées.
Les niveaux d'entrée acceptables sont TTL compatibles. Le circuit peut être endommagé si l'on applique des niveaux plus hauts de 0÷+5V.

– 2 boutons poussoirs avec chaque broche des commutateurs accessible sur deux bandes femelles pour la connexion du fil du type d'âme unique fourni avec l'unité didactique

– Générateurs onde carrée, rapport cyclique 50%, réglables en 6 calibres de 0.1Hz à 100KHz (110KHz).
Deux sorties sont disponibles. Une est de type TTL, l'autre se compose d'un transistor NPN à collecteur ouvert, pour l'utilisation avec logique CMOS de niveau plus haut.
Une résistance de tirage (de 2K2 à 22K) doit être connectée entre la sortie CMOS et l'alimentation +V du circuit à l'essai, afin d'assurer que des haut niveaux corrects sont utilisés.

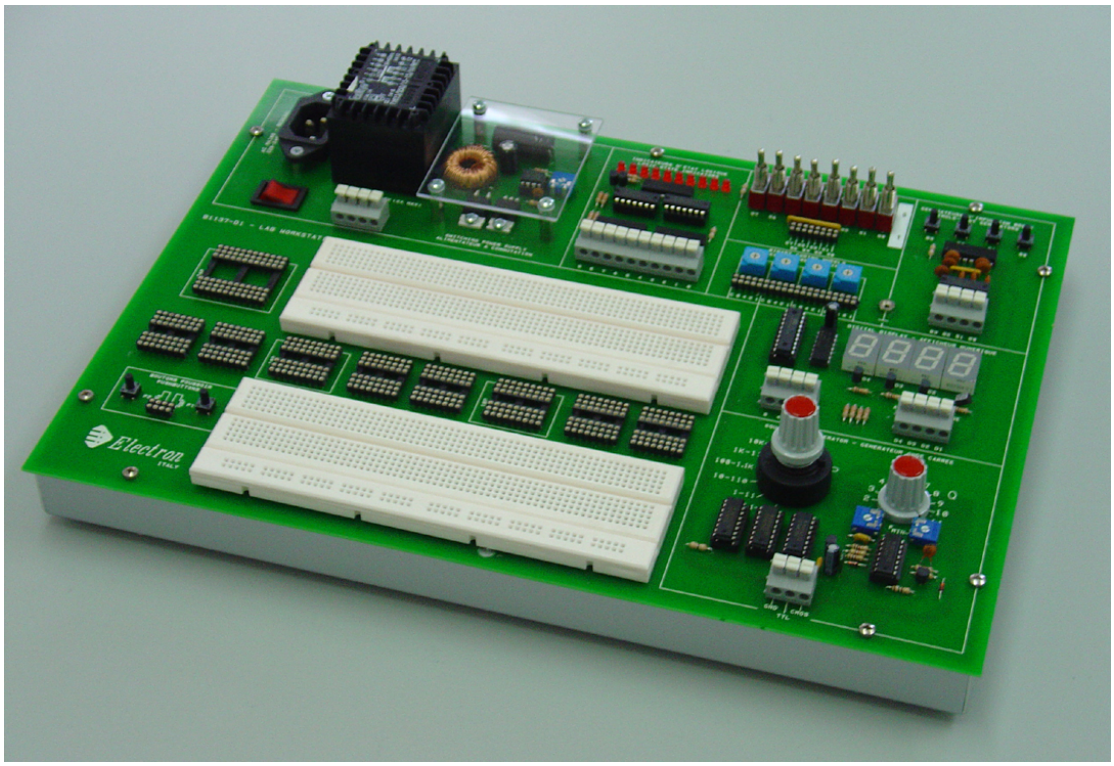


FIG.1 – PHOTO DE L'UNITE DIDACTIQUE

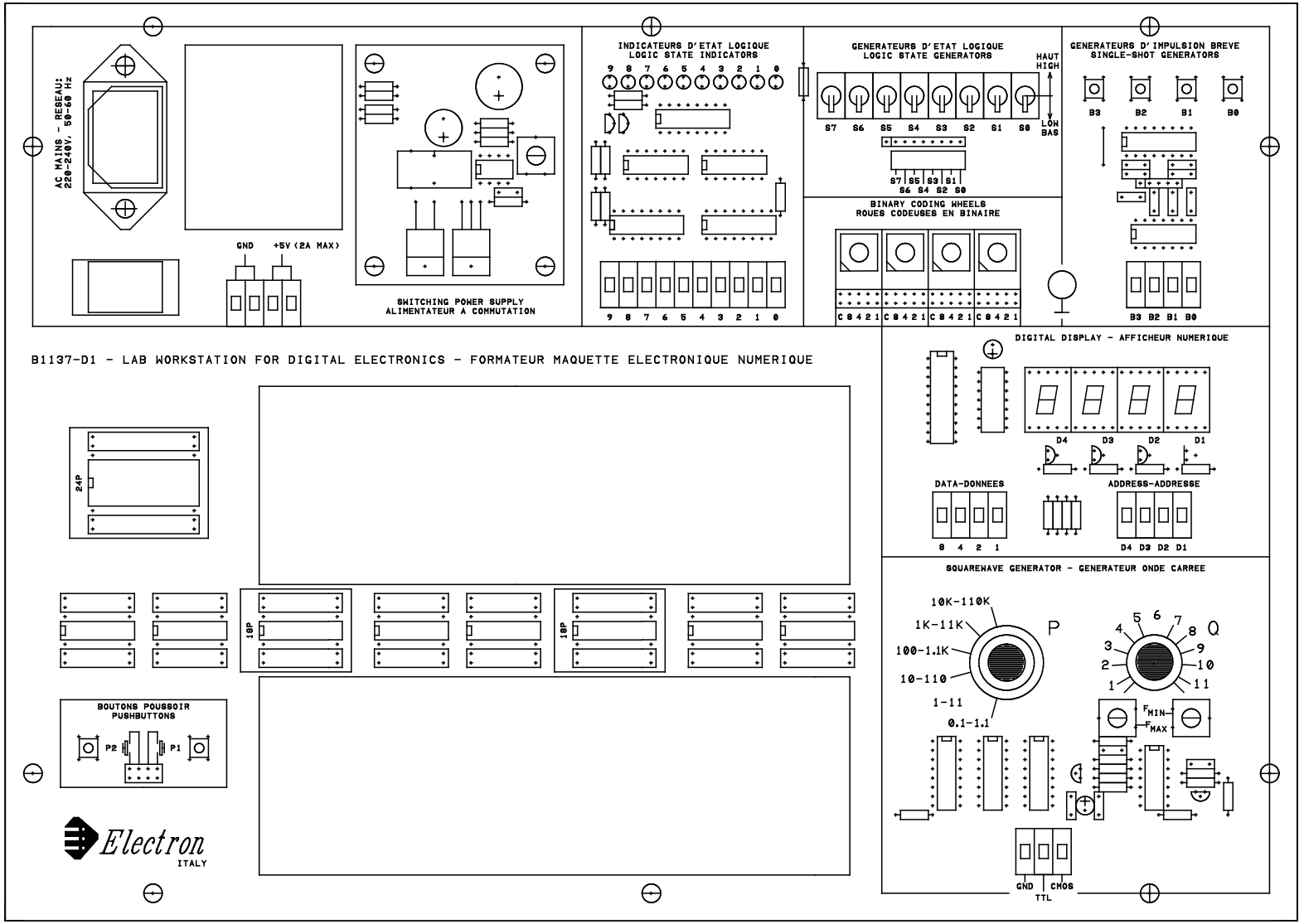


FIG.1A - FRONT VIEW OF THE TRAINER

1137DFR0

3 - Procédure de préparation du poste de travail

Cette section décrit brièvement les bases pour s'assurer que le poste de travail est fonctionnel et prêt à l'emploi. Ceci peut être exigé pour s'assurer que l'équipement livré est opérationnel.

1 - Vérifiez que la tension d'alimentation de votre secteur est compatible avec les spécifications du pupitre. Reliez alors le cordon d'alimentation et mettre sous tension. Mesurez alors la tension +5V avec un Voltmètre.

2 – Branchez une extrémité d'un fil à l'entrée de l'indicateur de niveau logique No.0. L'autre extrémité devrait être reliée à la sortie du Générateur d'état logique No.0. Commuter le Bouton Poussoir "0" arrière et avant. Le LED No.0 s'illuminera.
Répéter cet essai pour chaque Indicateur de niveau logique et après pour chaque Générateur d'état logique.

3 - Branchez une extrémité d'un fil à la borne du générateur à impulsion unique No.0, l'autre extrémité du fil devrait être reliée à l'entrée d'un des indicateurs d'état logique. Appuyer à plusieurs reprises le Bouton Poussoir "0". On observera un clignotement faible de la LED témoin. La faiblesse de l'illumination est due à la courte durée d'impulsion. Il peut être nécessaire d'ombrager la LED avec sa main. Répétez l'opération pour tous les générateurs d'impulsions.

4 - Commutateurs binaires. Utilisez un ohmmètre avec une sonde solidement reliée à la borne "C", l'autre est déplacé de 1 à 8 comme requis.
Placez le commutateur sur "0": tous les commutateurs sont ouverts
Placez le commutateur sur "1": seul "1" est en court circuit avec le point "C"
Placez le commutateur sur "2": seul "2" en court circuit avec le point "C"
Placez le commutateur sur "4": seul "4" est en court circuit avec le point "C"
Placez le commutateur sur "8": seul "8" est en court circuit avec le point "C"

5 – Afficheur 4-digit. Reliez une extrémité d'un fil à la sortie +5V de l'alimentation.
Avec un autre fil mettre à MASSE la borne de l'ADRESSE D1, l'afficheur le plus à droite s'illuminera montrant un "0". Maintenant le fil connecté à la tension +5V devrait être déplacé en séquence à tout le entrées des DONNEES (1,2,3,4).
L'afficheur indiquera une séquence de 1, 2, 4, 8 pour chaque digit.
Répétez l'opération pour chaque adresse (afficheur).

6 - Générateur de signaux carrés. Un essai complet exigera un oscilloscope et un fréquencemètre. Un contrôle rapide peut être exécuté comme suit:
Branchez une extrémité d'un morceau de fil à l'indicateur d'état logique No.0 et l'autre extrémité à la sortie TTL du générateur.
Déplacez le sélecteur de gamme de fréquence à la position minimale. La lumière clignotera à intervalles réguliers. La fréquence du clignotement est réglable en tournant le bouton de fréquence.
Déplacez le sélecteur de gamme de fréquence aux gammes plus élevées. A un certain moment, la lumière cessera de clignoter et demeurera à moitié allumée.

4 – Inventaire des composants

Le B1137-D comprend un jeu de composants standard pour réaliser les expériences. Voir le paragraphe 4.1.

4.1 – B1137-D – Provisions Standard

100 Fils prédénudés, différentes longueurs et couleurs
2 Poignées pour trimmer
1 Trimmer avec axe 22K
1 Trimmer avec axe 220K
1 Afficheur 7-segment à cathode commune
1 Bouton Poussoir
1 Commutateur DIP 4 pos.

10 Résistances 100Ω, ¼W
10 Résistances 150Ω, ¼W
10 Résistances 470Ω, ¼W
10 Résistances 560Ω, ¼W
10 Résistances 1K, ¼W
10 Résistances 2K2, ¼W
10 Résistances 3K9, ¼W
10 Résistances 4K7, ¼W
10 Résistances 10K, ¼W
10 Résistances 15K, ¼W
10 Résistances 22K, ¼W
10 Résistances 47K, ¼W
10 Résistances 100K, ¼W
10 Résistances 1M, ¼W

5 Capacités 100pF
5 Capacités 1KpF
5 Capacités 10KpF
5 Capacités 47KpF
5 Capacités 100KpF
5 Capacités 1µF, 25V
5 Capacités 10µF, 25V
5 Capacités 100µF, 25V

8 Transistors BC337
8 Diodes 1N4148

4 CMOS IC 4001 – Quad 2-input NOR gate
4 CMOS IC 4011 – Quad 2-input NAND gate
4 CMOS IC 4013 – Dual flip-flop
2 CMOS IC 4015 – Dual 4-bit static register
2 CMOS IC 4017 – Decade counter/divider with decoded outputs
2 CMOS IC 4019 – Quad AND-OR select gate
2 CMOS IC 4027 – Dual JK Master/slave flip-flop
2 CMOS IC 4029 – Presettable up/down counter

2 CMOS IC 4042 – Quad clocked D latch
4 CMOS IC 4069 – 6 X inverter gate
2 CMOS IC 4070 – Quad 2-input EX-OR gate
2 CMOS IC 4071 – Quad 2-input OR gate
2 CMOS IC 4081 – Quad 2-input AND gate
4 CMOS IC 4093 – Quad 2-input Schmitt trigger
4 CMOS IC 40106 – 6 X Schmitt trigger inverter
2 CMOS IC 4503 – 6 X buffer, non-inverting, 3-state
2 CMOS IC 4511 – BCD/7-Segment latch/decoder/driver
2 CMOS IC 4520 – Dual binary counter
2 CMOS IC 4532 – 8-bit priority encoder – decimal/BCD decoder
2 CMOS IC 74HC138 – binary-to-decimal decoder

CHAPITRE 2 – MULTIVIBRATEURS A TRANSISTORS

1 – Circuit Bistable

La figure 1 montre le principe du circuit bistable.

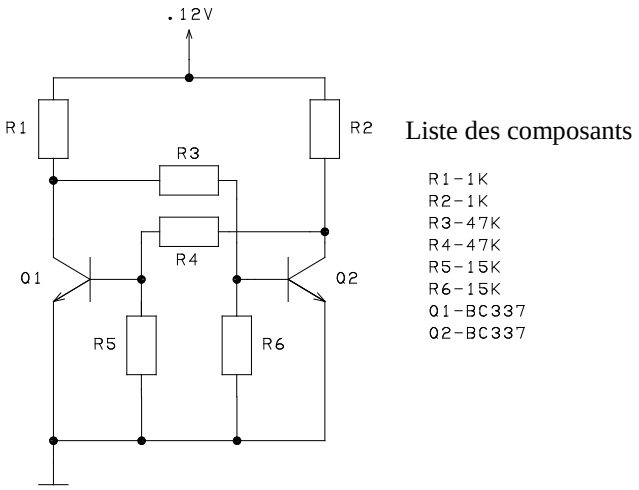


Fig. 1: Circuit bistable de base

Le bistable est constitué d'un amplificateur à double étage, couple en continue, dont la sortie est ramenée sur l'entrée du premier étage. Le déphasage de 180° introduit par chaque étage fait que le signal ramené en entrée est déphasé de 360° par rapport à l'entrée, ce qui fait que la contre réaction est positive.

Si les conditions de polarisation en continu sont correctes, l'un des deux étages doit être en saturation (état ON) et l'autre à l'état de blocage (état OFF). Pendant que l'un des étages est à l'état ON l'autre se trouve à l'état OFF. Ce circuit possède donc deux états et pour cela, on l'appelle un BISTABLE.

La première partie d'expérimentation consiste en le montage du circuit de la fig.1 et essayer sa capacité de bistable.

- A la mise sous tension, l'un des étages passe à l'état ON (saturé) de façon aléatoire. L'autre se met alors à l'état OFF.
- Mesurer en utilisant un voltmètre (ou oscilloscope) la tension de collecteur (par rapport à la masse) de chacun des étages.
- Mesurer la tension de base de chacun des étages.
- Calculer le courant de collecteur et base pour chaque transistor.
- Vérifier que les résultats trouvés sont cohérents. En particulier vérifier que chaque transistor est bloqué par la tension basse du collecteur de l'autre transistor et ce dernier est mis en conduction par la tension de base élevée fournie par le premier.
- Brancher l'une des extrémités d'un cordon à la masse et toucher brièvement de l'autre extrémité le collecteur du transistor bloqué (ou la base de l'autre). L'état des deux transistors change alors.
- Répéter l'opération tant que vous le désirez pour bien comprendre le mécanisme de commutation.

2 – Bistable avec capacités d'accélération

La contre réaction positive permettant au bistable de base de commuter d'un état à l'autre peut être renforcée pour permettre des transitions plus rapides en rajoutant des capacités d'accélération comme indiqué en fig.2

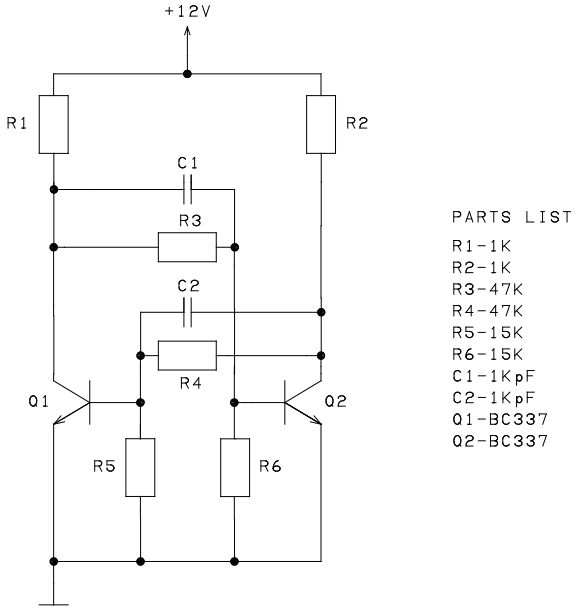


Fig. 1 : Bistable avec capacités accélératrices

3 – Fonctionnement du circuit bistable en mode bascule

On a vu qu'une brève impulsion à la masse appliquée au collecteur du transistor bloqué ou à la base de celui qui est saturé permet au circuit de changer d'état.
Si elle est appliqué au collecteur, l'impulsion n'a pas besoin d'atteindre une tension nulle, mais d'atteindre un niveau suffisamment bas sur la base de l'autre transistor pour permettre de le bloquer.

Cette affirmation peut être mise en équation, pour calculer l'amplitude minimale de l'impulsion. Dans tous les cas, pour avoir une commutation propre (sure), l'impulsion doit être de sens négatif, étroite et large.

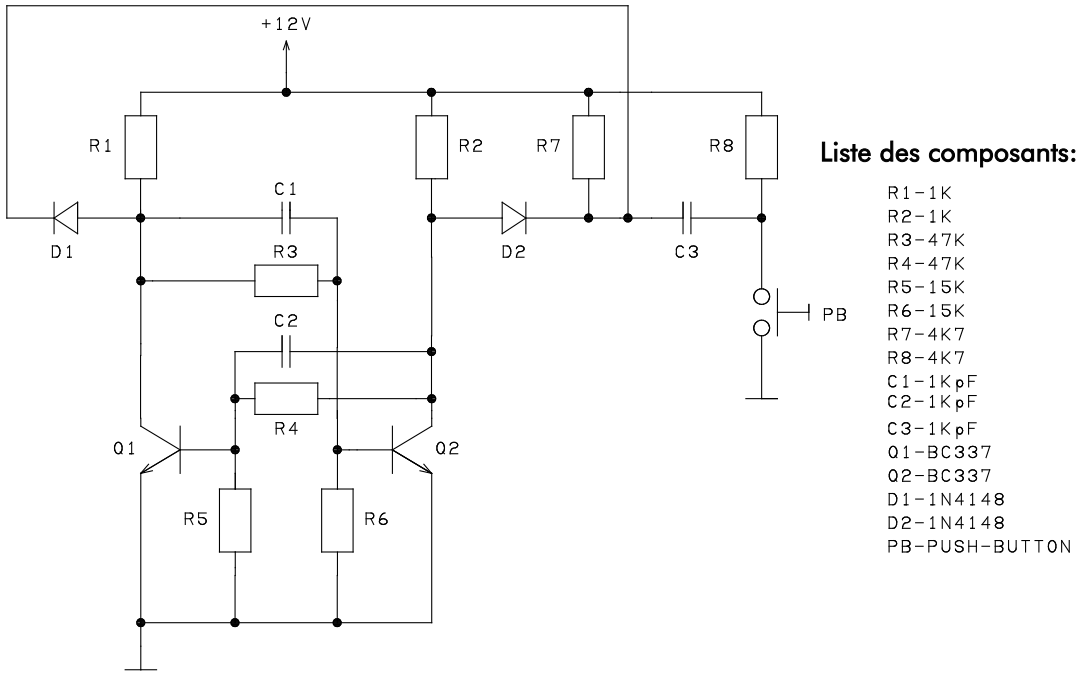


Fig. 2 : Bistable en mode bascule

La Fig.3 montre comment générer des impulsions avec les caractéristiques requises. Ce qui est réalisé par les diodes D1 et D2, et les composants R8, C3, R9 et PB.(Fig.5).

Les diodes D1 et D2 appliquent l'impulsion au transistor bloqué.
Les impulsions sont générées suivant une impulsion sur le bouton poussoir PB : la capacité C3 est initialement déchargée, et se charge à travers R8. Ce qui génère une impulsion de déclenchement pour D1 et D2.
Quand PB est relâché, C3 se décharge à travers R8 et R9 et un nouveau cycle est prêt.

Réalisez une étude fonctionnelle du basculement du circuit en explorant les formes d'onde aux divers points du circuit avec l'oscilloscope, quand le Bouton Poussoir est actionné à plusieurs reprises.
Le générateur de signaux carrés du pupitre peut être utilisé au lieu du PB pour produire des impulsions répétées. Le collecteur ouvert du transistor de sortie (CMOS) devrait être relié à la place de PB. Voir la Fig.4.

Régler fréquence du générateur à une valeur très basse (au-dessous de 10Hz) pour permettre C3 de se décharger après chaque opération.

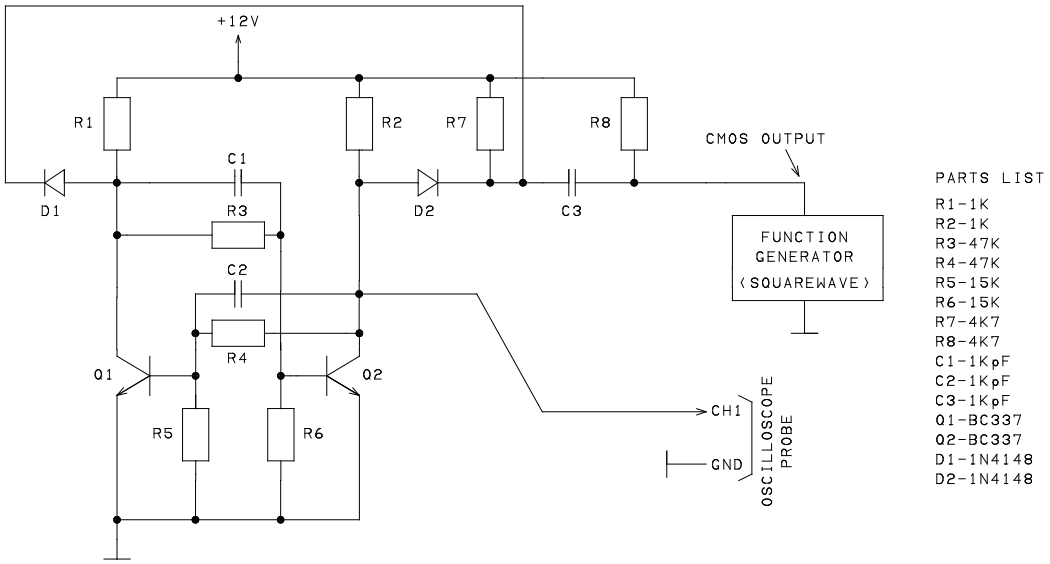


Fig. 3 : Bistable en diviseur de fréquence (par 2)

On observera que ce circuit fonctionne comme un diviseur par 2 de la fréquence d'entrée.

4 – Bistable non saturé, avec couplage d'émetteur

La figure 5 montre le circuit à l'étude.

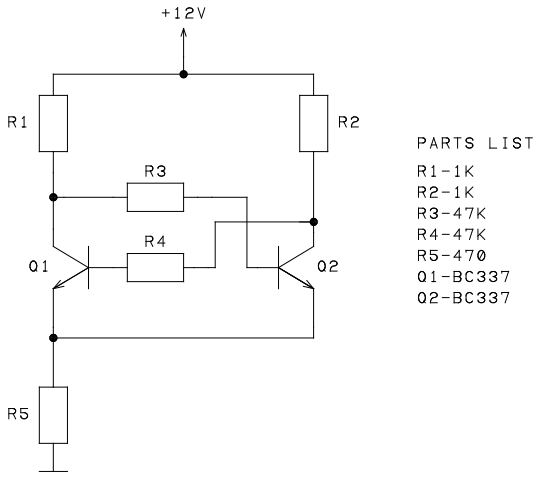


Fig. 4 : Bistable non saturé, avec couplage des émetteurs

L'aspect essentiel de ce circuit est que les deux émetteurs sont reliés ensemble et sont mis à la masse à travers une seule résistance, R5.

Le fonctionnement du circuit est comme suit:

Supposons que Q1 est ON et Q2 OFF.
La tension Base-Masse pour Q1 sera:

$$V_{B1} = V_C \cdot R5/(R2+R4+R5)$$

La tension Emetteur-Masse pour Q1 et Q2 sera:

$$V_{E1} = V_{E2} = V_{B1} - 0.7V$$

Le courant en R7 est due seulement à Q1 et est:

$$I_{Q1} = V_{E1}/R5$$

La tension Collecteur-Masse pour Q1 est:

$$V_{C1} = +V_C - R1 \cdot I_{Q1}$$

Pour un correct fonctionnement bistable opération il est nécessaire que V_{C1} soit assez petit pour que V_{B-E} de Q2 soit inférieur à 0.7V, c'est à dire:

$$[V_{C1}.R6/(R3+R6)] - V_{E1} \leq 0.7V$$

Noter que le transistor en conduction n'a pas besoin d'être fortement saturé comme dans le cas du circuit précédent. En fait, il peut être dans sa région linière. Ceci permet bien sur d'avoir des réponses plus rapides

5 – Circuit Astable

La figure 6 montre le principe du circuit astable : les deux transistors sont polarisés dans leur région de conduction.

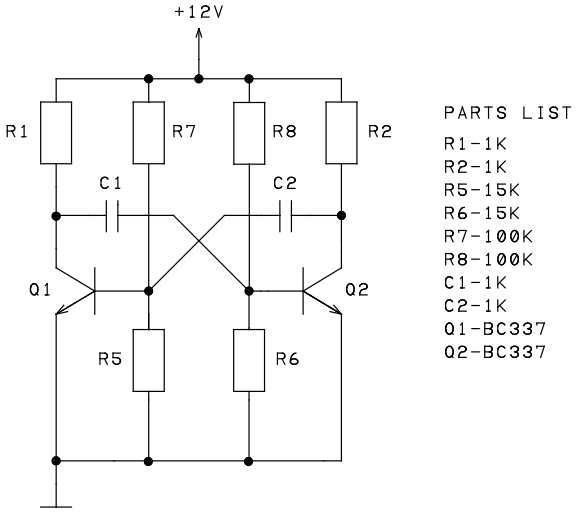


Fig. 6 : Circuit Astable de base

La situation des deux transistors en conduction est cependant instable. Une fluctuation aléatoire du courant de fuite de transistor peut déranger la situation et mène à la saturation de l'un des deux transistors et au blocage de l'autre.

Après cette phase, l'une des deux capacités maintenant un transistor à l'état bloqué (C2 maintenant Q1 bloqué) tend à se décharger à travers la base polarisant la résistance R5 jusqu'au point où Q1 se met en conduction et l'opération de basculement est répétée.

La tension de collecteur de n'importe lequel de ces deux transistors apparaît comme un signal carré. Ce circuit utilisé souvent comme générateur de signal.

CHAPITRE 3 - PORTES LOGIQUES DE BASE

Le sujet de ce chapitre est l'expérimentation de 4 circuits capable de réaliser les opérations de base de l'algèbre de Boole pour deux variable A et B.

Ces 4 circuits sont construit en utilisant des résistances, diodes et transistors et représentent des exemples du comment la logique peut être réalisé en utilisant des composants discrets en remplacement des CI digitaux.

1 – Addition logique (OU LOGIQUE)

Le circuit de test est donné figure 1

La sortie est à l'état bas quand A et B sont tous les deux à l'état bas et passe à l'état haut dès que l'une des deux entrées (ou les deux) passe à l'état haut.

Pour tester cette fonction logique, utiliser un indicateur de niveau logique connecté à la sortie de la porte.

Utiliser pour les entrées, deux des interrupteurs du générateur d'état logiques (par exemple S0 et S1)

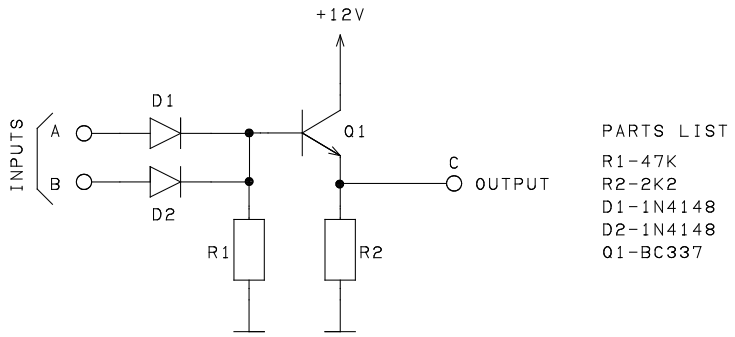


Fig. 1 : Additionneur logique

C = A OR B
C = A + B

1136D57

2 – Produit logique (ET LOGIQUE)

Le circuit de test est donné en figure 2

La sortie est à l'état bas dès que A ou B (ou les deux) sont à l'état bas.
La sortie est à l'état haut quand A et B sont tous les deux à l'état haut.

Là aussi, utiliser un indicateur de niveau logique connecté à la sortie de la porte pour afficher son état, et utiliser S0 et S1 pour avoir les entrées.

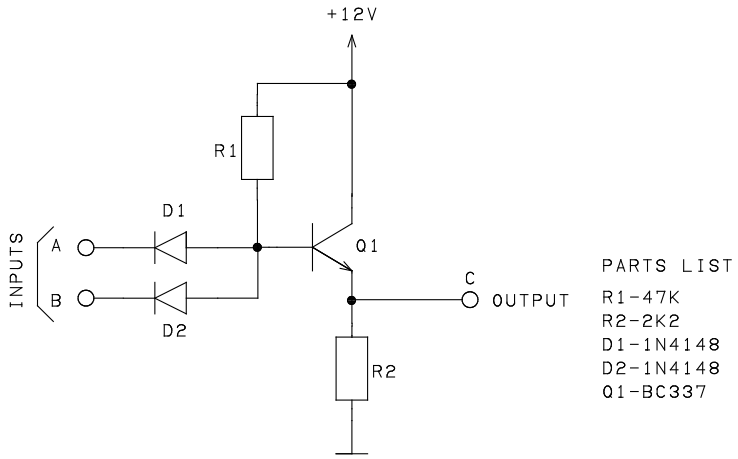


Fig. 2 : Multiplicateur logique

C = A AND B
C = A • B

1136D58

3 – Addition logique inversée (NON OU LOGIQUE)

Le circuit de test est donné en Fig.3.

La sortie est à l'état haut quand les deux entrées sont ouvertes ou à l'état bas et à l'état bas dès que l'une des deux entrées (ou les deux) passe à l'état haut.

Utiliser un indicateur de niveau logique connecté à la sortie de la porte pour afficher son état et utiliser S0 et S1 pour avoir les entrées.

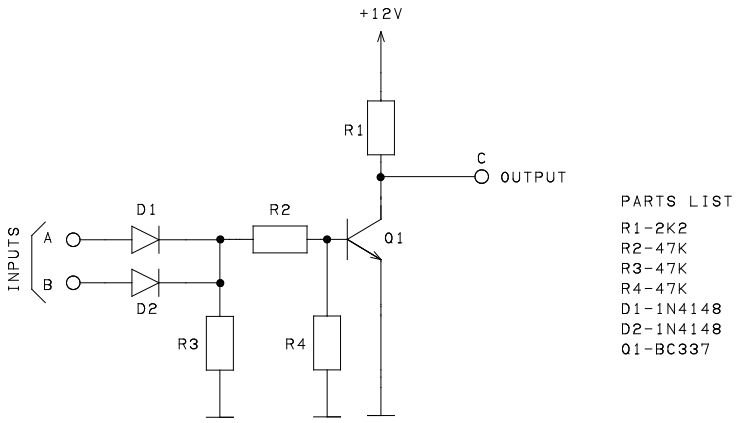


Fig. 3 : Circuit NON OU logique

C = A NOR B = $\overline{A+B}$ 1136D59

4 – Produit logique inversé (NON ET LOGIQUE)

Le circuit de test est donné en Fig.4.

La sortie est à l'état haut quand l'une des deux entrées (ou les deux) est à l'état bas, et à l'état haut quand les deux entrées sont à l'état haut.

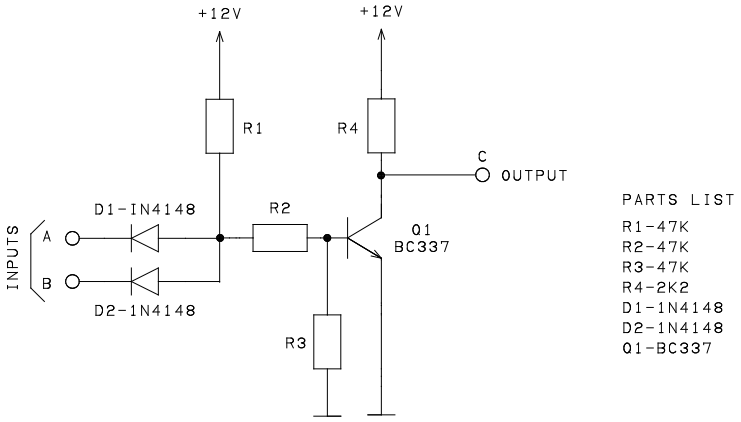


Fig. 4 : Circuit NON ET logique

$C = A \text{ NAND } B = \overline{A \bullet B}$

1136D60

CHAPITRE 4 – PORTES LOGIQUES

1 – Présentation

Le matériel digital peut réaliser des fonctions très complexes en se basant sur des quelques opérations logiques élémentaires.

Le but de ces exercices est de voir les principales opérations logiques élémentaires comme le OU, ET, NON, NON OU, NON ET, OU exclusif, en utilisant des portes logiques à deux entrées.

– Pour ces expériences, il sera fait usage d'un circuit intégré HCF4093B. il consiste en 4 portes NON ET (NAND) à deux entrées chacune. Ce composant est en technologie CMOS.

Pour toutes les expérimentation, le CI sera alimenté avec une tension de +5V.

Ne pas laisser les entrées non connectées ouvertes. Selon le cas, les mettre à la masse ou à Vcc.

2 – Opération NON ET (NAND)

Cette opération peut être réalisée en utilisant deux opérandes. Le symbole et la table de vérité sont donnés par les figures 1A et 1B.
Nous supposerons comme d'usage que le 0 est le niveau logique bas (0 à 0.8 V) et 1 les niveaux logiques hauts, disponibles en sortie du générateur de niveaux logiques.

Les interrupteurs 0 et 1 sont utilisés pour avoir le niveau logique de A et B. la sortie U sera visualisée par l'une des 8 indicateurs logique du pupitre. Le voyant allumé indique 1 et éteint 0.

Vérifier la table de vérité de la figure 1B. Votre conclusion devrait être comme suit :

"L'opération NON ET (NAND) donne 0 en sortie seulement quand les deux entrées sont à 1".

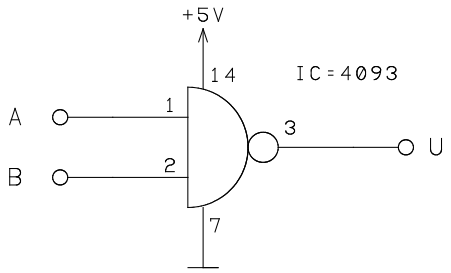


Fig. 1A : Porte NON ET

A	B	U
0	0	1
1	0	1
0	1	1
1	1	0

Fig. 1B : Table de Vérité de la porte NON ET

3 – Opération ET (AND)

Cette opération logique peut être démontrées par l'utilisation d'une porte logique NAND suivie d'une autre porte utilisée en inverseur. Voir figures 2A, 2B.

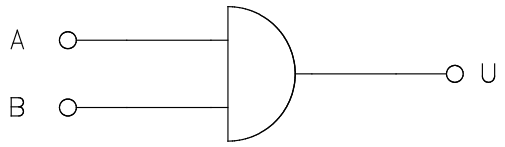


Fig. 2A : Porte ET

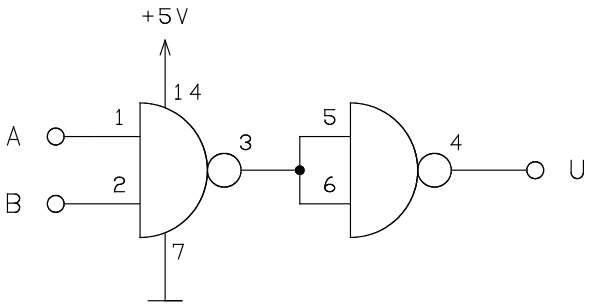


Fig. 2B : Circuit Equivalent à Fig. 2A

Faire le montage ci-dessus, et vérifier la table de vérité suivante:

A	B	U
0	0	0
0	1	0
1	0	0
1	1	1

Utiliser les interrupteurs pour avoir les entrées logiques et les indicateurs de niveaux logiques pour afficher le résultat.

Ne pas laisser les entrées non connectées ouvertes. Selon le cas, les mettre à la masse ou à Vcc.

La conclusion de votre expérience devrait être :

"L'opération ET (AND) donne 1 en sortie dès lorsque les deux sont toutes les deux à 1 "

4 – Opération OU (OR)

La figure 3A montre le symbole d'une porte OU à deux entrées. La figure 3B est équivalente à 3A dès que l'on ajoute en séries deux inverseurs. Du cours théorique, nous savons que l'inversion peut être passée de la sortie de la porte aux entrées en inversant le type de la porte de OU à ET ou vice versa. Ce qui donne le schéma de la figure 3D équivalent en fonctionnement à notre porte OU d'origine.

Faire le montage de la figure 3D et tester la table de vérité de la figure 3E.

.

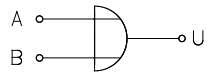


Fig. 3A : Porte OU

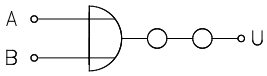


Fig. 3B : Combinaison Equivalente de Fig. 3A

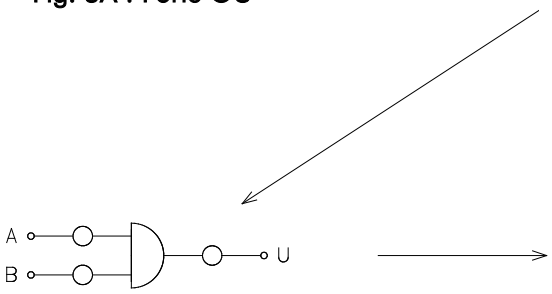


Fig. 3C : Combinaison Equivalente de Fig. 3B

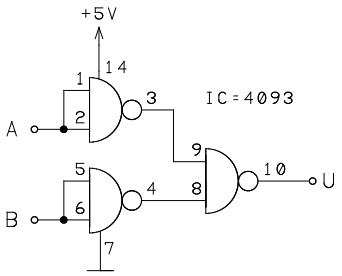


Fig. 3D : Combinaison Equivalente de Fig. 3C

A	B	U
0	0	0
0	1	1
1	0	1
1	1	1

Fig. 3E : Table de Vérité de la porte OR

Utiliser les interrupteurs pour avoir les entrées logiques et les indicateurs de niveaux logiques pour afficher le résultat.

Ne pas laisser les entrées non connectées ouvertes. Selon le cas, les mettre à la masse ou à Vcc.

La conclusion de votre expérience devrait être :

" La fonction OU donne un 1 en sortie dès que l'une de ses entrées est à 1".

5 – Opération NON OU (NOR)

La figure 4A montre le symbole de la porte NOR.
La figure 4B est une configuration équivalente, avec les inversions ramener aux entrées et la porte ET est changé par une OR.
La figure 4C est la combinaison finale, équivalente à la porte de la figure 4A, que nous allons essayer.

Faire le montage de la figure 4C et tester la table de vérité.

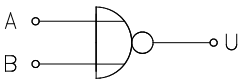


Fig. 4A : Porte NON OU

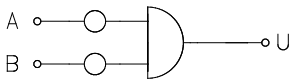


Fig. 4B : Circuit Equivalent de Fig. 4A

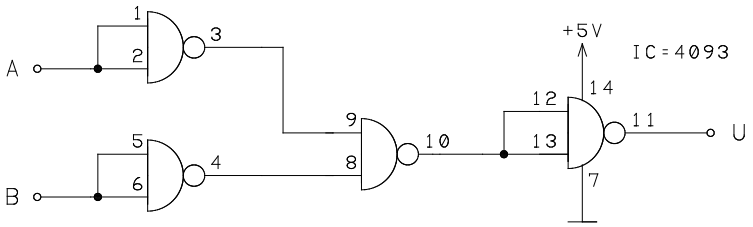


Fig. 4C : Combinaison Equivalente de la porte de la Fig. 4A

A	B	U
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 4D : Table de Vérité de la porte NON OU

Utiliser l'afficheur de niveau logique pour voir l'état des sorties et les signaux de S0 et S1 comme entrées.

La conclusion de votre expérience devrait être :

"L'opération NON OU (NOR) donne 0 en sortie dès lors que l'une des entrées est à 1 "

6 – Bistable RS (Bascule)

La figure 5A montre un arrangement de deux portes NAND fonctionnant comme un circuit à deux états. Ce circuit mémorise la dernière transition vers l'état bas des deux entrées A et B.

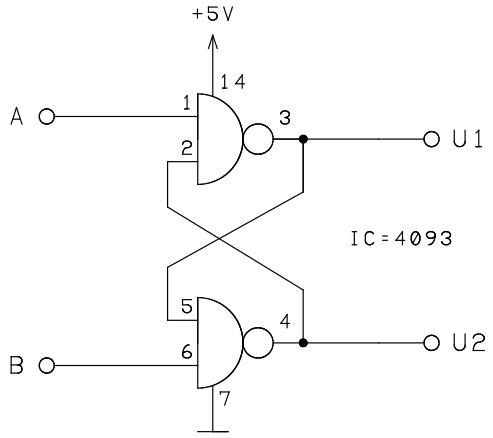


Fig. 5A : Circuit du Bistable RS

Le fonctionnement est le suivant :

– A la mise sous tension avec A et B à 1, l'état des sorties est imprévisible, puisque la bascule est initialisée aléatoirement. U1 et U2 peuvent être à 1,0 ou 0,1.

– Si A est mis à l'état bas, U1 passe à l'état haut et U2 à l'état bas et cet état est maintenu quand A repasse à l'état haut.

– Si B est mis à l'état bas, U1 passe à l'état bas et U2 à l'état haut et cet état est maintenu quand B repasse à l'état haut.

– Si A et B passent à l'état bas en même temps, les deux sorties seront toutes les deux, à l'état haut. Quand les entrées A et B repassent à l'état haut, l'état des sorties dépendra de laquelle des deux entrées est repassée à l'état haut en dernier.

– Si les deux entrées sont liées et passe à l'état haut en même temps, l'état de la bascule est théoriquement irrégulier.
En pratique, de petites inégalités entre les deux portes fait que l'une des sorties est positionnée avant l'autre.

Faire le montage de la figure 5A et tester la table de vérité de Fig. 5B.

A	B	U1	U2
↓	1	1	0
1	↓	0	1
0	0	1	1
1	1	PRECEEDING STATUS	
↓	↓	UNDEFINED	

Fig. 5B : Table de Vérité du circuit de la Fig. 5A

7 – Circuit Astable

Le circuit est donné en figure 6A et 6B
Son fonctionnement est le suivant:

- Supposons que C est initialement déchargée. Ce qui donne un état bas à l'entrée de la porte logique. La sortie est alors à l'état haut.
- La capacité C se charge à travers R et la tension à ses bornes augmente en conséquence jusqu'au point où la porte commute et passe à l'état bas. C se met à se décharger à travers R.
- Le seuil de commutation de la porte est encore atteint et le cycle est répété. Le voyant en sortie montre le clignotement du niveau de la sortie.

Le circuit d'étude de l'astable est donné sur la figure 6A

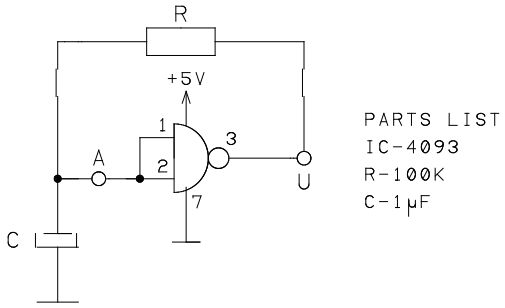


Fig. 6A : Circuit à étudier

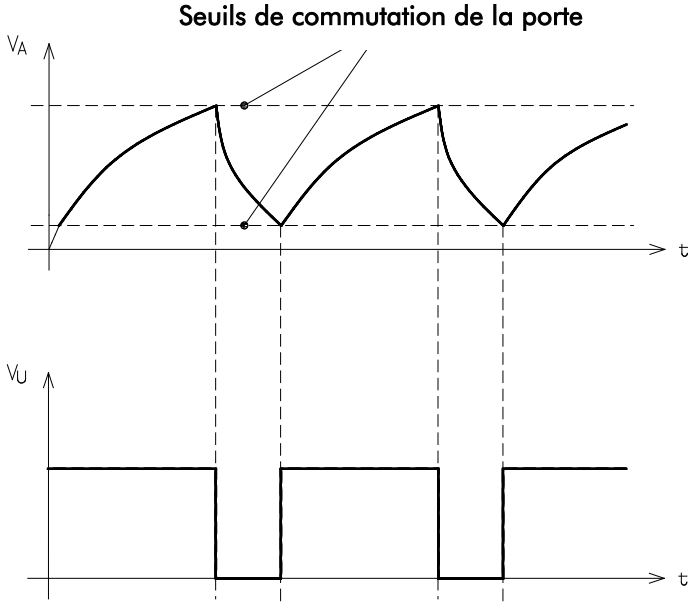


Fig. 6B : Courbes des signaux du circuit de la Fig.6A

CHAPITRE 5 – ADDITION/SOUSTRACTION DE NOMBRES BINAIRES.

1 – Demi additionneur

Dans ce qui suit : Le symbole • ou (•) indique un nombre décimal
Le suffixe H indique un nombre hexadécimal
Le suffixe B indique un nombre binaire

Supposons que l'on veut réaliser la somme de deux nombres X et Y :

	b3	b2	b1	b0	
X = 11(•) = B(H) =	1	0	1	1	(B)
Y = 3(•) = 3(H) =	0	0	1	1	(B)

La somme e de X et Y en binaire est réalisée bit à bit de la droite vers la gauche. Chaque colonne génère une somme et une retenue. La retenue sera additionnée aux bits de la colonne suivante. Dans notre exemple, l'addition se réduit aux opérations élémentaires suivantes :

$X_0 + Y_0 = 1+1 = 0$, retenue 1
$X_1 + Y_1$ + retenue précédente = 1+1+1 = 1, retenue 1
$X_2 + Y_2$ + retenue précédente = 0+0+1 = 1, retenue 0
$X_3 + Y_3$ + retenue précédente = 1+0+0 = 1, retenue 0

Le résultat est: Z = 1110(B) = 14(•) = E(H).

La procédure utilisée dans cet exemple peut être étendue au cas général:

L'addition binaire est le résultat d'une séquence d'opérations élémentaires d'addition bit à bit. Chaque opération élémentaire génère un résultat et une retenue.
Cette opération élémentaire s'appelle une demi addition sa table de vérité est donnée ci-dessous.

DEMI ADDITIONNEUR

Bit X_n	Bit Y_n		SOMME	RETENUE
0	0	⇒	0	0
0	1	⇒	1	0
1	0	⇒	1	0
1	1	⇒	0	1

Cette table de vérité peut être réalisée par les deux équations suivantes:

$$SOMME = (X_n + Y_n) \cdot (\overline{X}_n + \overline{Y}_n)$$

$$RETENUE = \overline{\overline{X}_n + \overline{Y}_n}$$

DEMI ADDITION EN MODE (1)

Ou bien:

$$\left.\begin{aligned} SOMME &= \overline{X}_n \cdot Y_n + X_n \cdot \overline{Y}_n \\ RETENUE &= X_n \cdot Y_n \end{aligned}\right\}$$ DEMI ADDITION EN MODE (2)

Ou bien encore:

$$\left.\begin{aligned} \mathrm{SOMME} &= X_{\mathrm{n}}\ \mathrm{XOR}\ \mathrm{Y_n} \\ \mathrm{RETENUE} &= \mathrm{X_n}\ \mathrm{AND}\ \mathrm{Y_n} \end{aligned}\right\}$$ DEMI ADDITION EN MODE (3)

Nous allons maintenant réaliser un circuit électronique réalisant la demi addition pour chacun des modes énoncés précédemment.

Nous pouvons réaliser et tester le demi additionneur réalisant les fonctions ci-dessus.

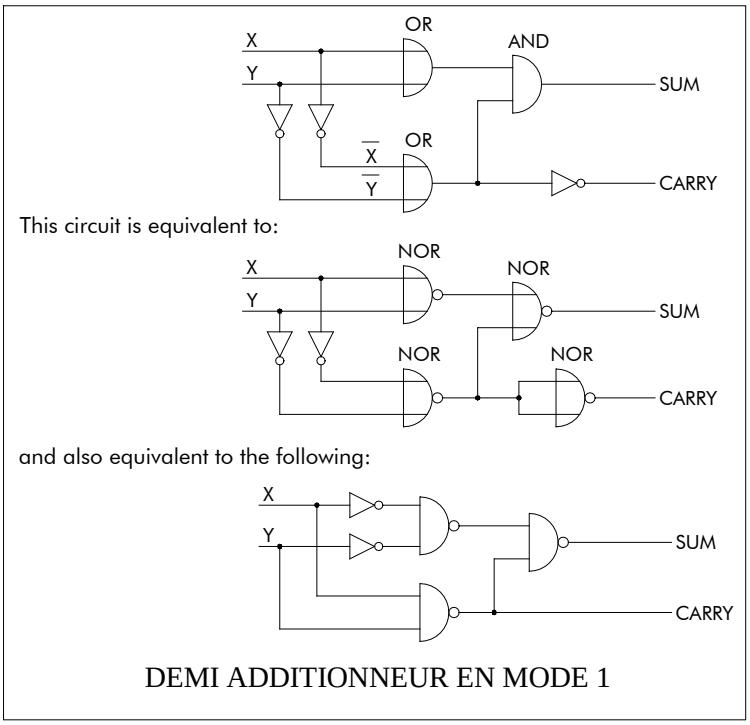
Nous ferons usage des CI suivant:

- 4069 ou 40106 – 6 inverseurs par boîtier (composant)
- 4011 – Portes Non ET (NAND) à deux entrées (4/boîtier)
- 4073 – Portes ET (AND) à deux entrées (4/boîtier)
- 4071 – Portes OU (OR) à deux entrées (4/boîtier)
- 4070 – Portes OU Exclusif (XOR) à deux entrées (4/boîtier)
- 4019 – multiplexeur/démultiplexeur de données.

- Utiliser une alimentation de +5V pour tous les CI.
- Ne pas laisser les entrées inutilisées en l'air. Les connecter à la masse ou Vcc selon les cas.
- Pour faire le câblage du circuit de test, utiliser les schémas de brochage donnés en annexe (datasheet fabricant).
- Utiliser le générateur de signaux logiques du pupitre comme entrées du circuit
- Utiliser les indicateurs d'états logiques pour l'affichage des signaux de sorties.

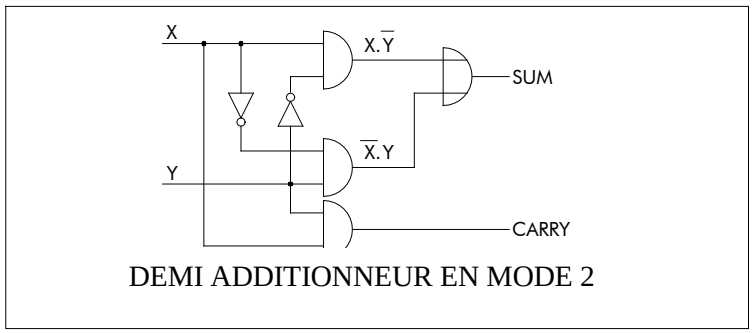
- Tous les CI utilisés sont de type CMOS, pouvant être endommagés par des décharges électrostatiques. Respecter les règles de manipulation d'usage pour ces composants.

TABLE 1



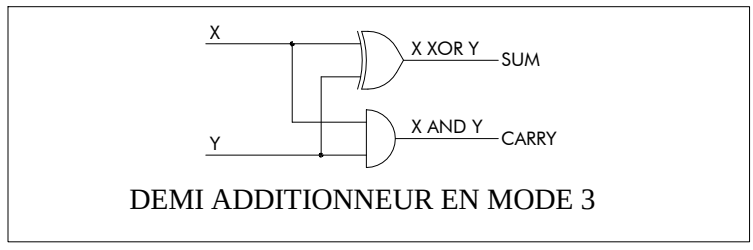
DEMI ADDITIONNEUR EN MODE 1

Circuit de test 1
1pc 4069 – NOT
1pc 4011 – NAND



DEMI ADDITIONNEUR EN MODE 2

Circuit de test 2
1pc 4069 – NOT
1pc 4073 – AND
1pc 4071 – OR



DEMI ADDITIONNEUR EN MODE 3

Circuit de test 3
1pc 4071 – OR
1pc 4070 – XOR

2 – Additionneur Complet

Partant du demi additionneur présenté précédemment, l'additionneur complet doit en même temps additionner deux bits plus la retenue résultant de l'addition précédente.
Nous appellerons X, Y et C les deux bits à additionner et la retenue de l'opération précédente, respectivement.
Il peut être démontré que le résultat de l'addition complète, est le suivant:

$$\text{SOMME} = X\overline{Y}C + \overline{X}Y\overline{C} + \overline{X}\overline{Y}C + XYC$$

(=1 si une seule de ces variables (X, Y ou C) est à 1 où tous les variables)

$$\text{RETENUE} = XY\overline{C} + X\overline{Y}C + \overline{X}YC + XYC$$

(=1 Si deux des variables sont à 1 ou toutes les trois)

Les deux équations ci-dessus donnent la table de vérité suivante :

ADDITIONNEUR COMPLET

X	Y	RETENUE En entrée	SOMME	RETENUE En sortie
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
			(X XOR Y)	(X.Y)
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1
			$\overline{(X \text{ XOR } Y)}$	(X+Y)

Nous récrivons ci-dessous la table de vérité du demi additionneur:

DEMI ADDITIONNEUR

Bit X_n	Bit Y_n		SOMME	RETENUE
0	0	⇒	0	0
0	1	⇒	1	0
1	0	⇒	1	0
1	1	⇒	0	1
			(X XOR Y)	(X.Y)

Nous remarquons que la première moitié de la table de vérité de l'additionneur complet (quand C=0) est égale à celle du demi additionneur.
Pour la seconde moitié de la table (C=1), la somme est égale au complément de la somme du demi additionneur, alors que la retenue est égale à (X OU Y).
Nous pouvons alors construire l'additionneur complet comme suit :

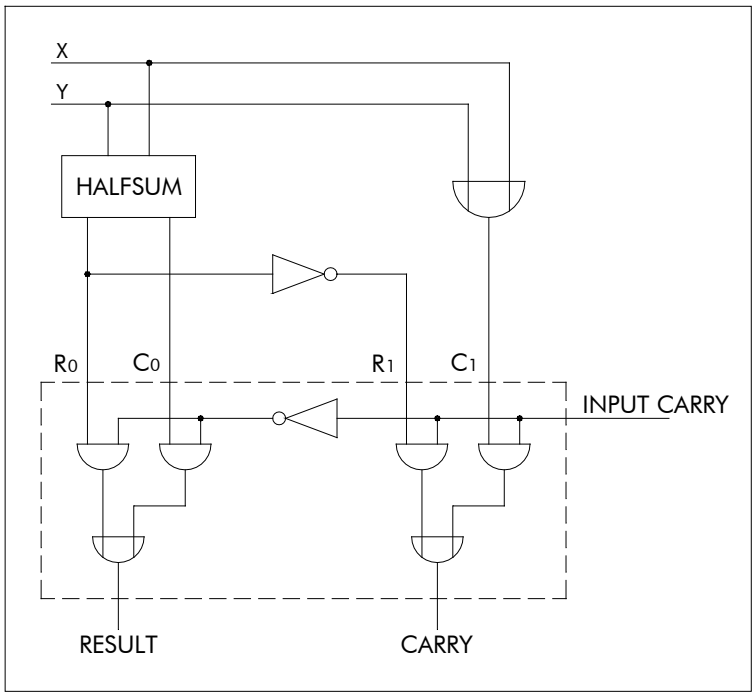


FIG.1 – L'ADDITIONNEUR COMPLET

Utiliser le circuit de test N°1 du demi additionneur (Voir paragraphe précédent). Ce qui exige l'utilisation des composants :
- 4069 ou 40106 – 6 inverseurs par boîtier
- 4011 – Portes Non ET (NAND) à deux entrées (4/boîtier)

En plus de ceci, les composants suivants sont nécessaires :
- 4071 – Portes OU (OR) à deux entrées (4/boîtier)
- 4019 – multiplexeur/démultiplexeur de donnée

Le circuit se trouvant à l'intérieur du rectangle en pointillé est pratiquement un double démultiplexeur permettant la sortie de R_0, C_0 ou R_1, C_1 selon la valeur de la retenue d'entrée.

Cette fonction est réalisée par un CI de type 4019.

L'additionneur complet peut être testé par le circuit de la figure 1 L'étudiant peut développer de lui même ce cas, en suivants les directives données dans le cas du demi additionneur.

3 – Soustracteur de nombres binaires

La même procédure utilisée dans le cas de l'addition peut être utilisée pour développer la soustraction binaire. Le résultat est donné par la table de vérité et équations suivantes :

Soustracteur

X	Y	Emprunt en entrée	Résultat	Emprunt en sortie
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
			(X XOR Y)	$(\overline{X} \cdot Y)$

0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1
			$(\overline{X \text{ XOR } Y})$	$(\overline{X} + Y)$

L'implémentation des fonctions (X XOR Y), , $(\overline{X} \cdot Y)$,$(\overline{X \text{ XOR } Y})$ $(\overline{X} + Y)$ est une chose que l'étudiant à déjà apprise dans les exercices précédents.

L'élaboration du circuit électrique à partir du schéma logique sera proposée comme exercice de rappel.

Pour réaliser le circuit de test, les même composants listés dans les paragraphes précédents seront utilisés.

CHAPITRE 6 – CONVERTISSEURS DE CODE

1 – Convertisseur Décimal - Binaire

Pour la réalisation de cette fonction, on utilisera un CI spécialisé, le 4532, dont le datasheet est donné en annexe.

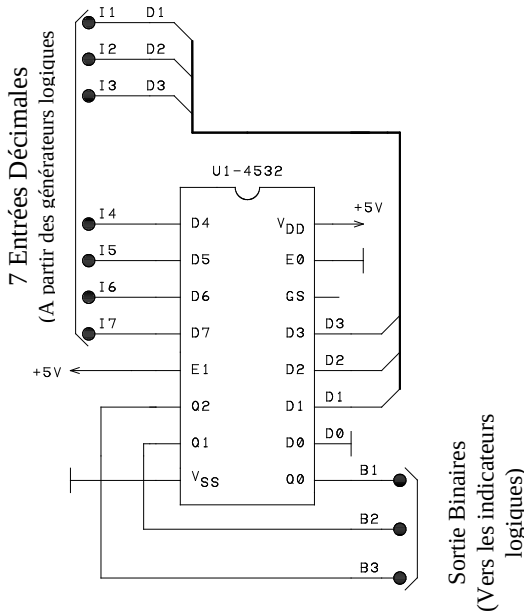


FIG. 1 : Convertisseur Décimal vers le binaire

La figure 1 donne le montage de test. Pour toute entrée décimale (D1.. D7) active, le 4532 va générer un code binaire correspondant.
La table suivante donne la sortie pour quelques entrées (1, 2, 6).

ENTREES								SORTIES		
D7	D6	D5	D4	D3	D2	D1		B3	B2	B1
0	0	0	0	0	0	1		0	0	1
0	0	0	0	0	1	0		0	1	0
0	1	0	0	0	0	0		1	1	0

Etablir la table de vérité complète pour ce circuit.

2 –Convertisseur Binaire - Décimal

Pour tester cette fonction, on utilisera le 74HC138, un CI à fonction spécifique dont le datasheet est donné en annexe.

La figure 2 montre le circuit de test:

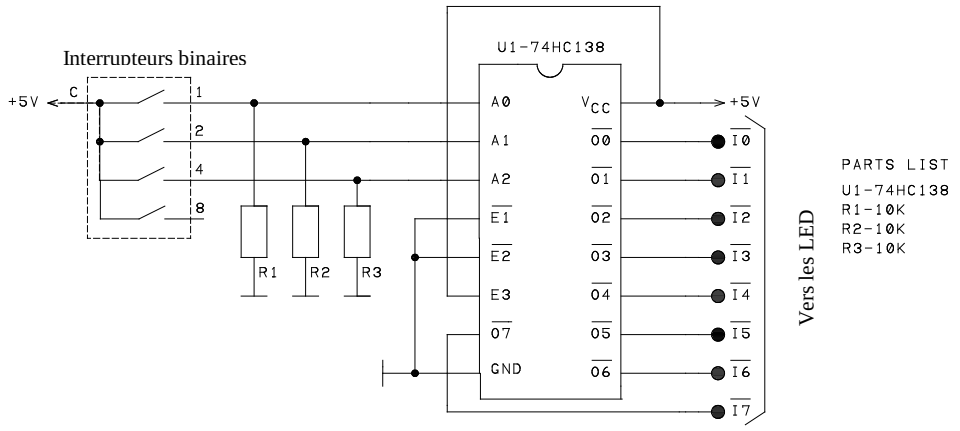


FIG. 2 : Convertisseur binaire vers le Décimal

Utiliser les interrupteurs binaires pour générer les entrées du CI. Noter que les résistances de rappel sont indispensables pour avoir le niveau bas quand l'interrupteur correspondant est ouvert.

Utiliser les indicateurs de niveaux logiques pour afficher les sorties. Noter que le HC138 possède des sorties inversées (active au niveau bas). Relever la table de vérité pour le composant en test.

3 –Convertisseur Binaire - 7 Segments

Pour expérimenter cette fonction, le montage de la figure 3 doit être utilisé. Il inclut:

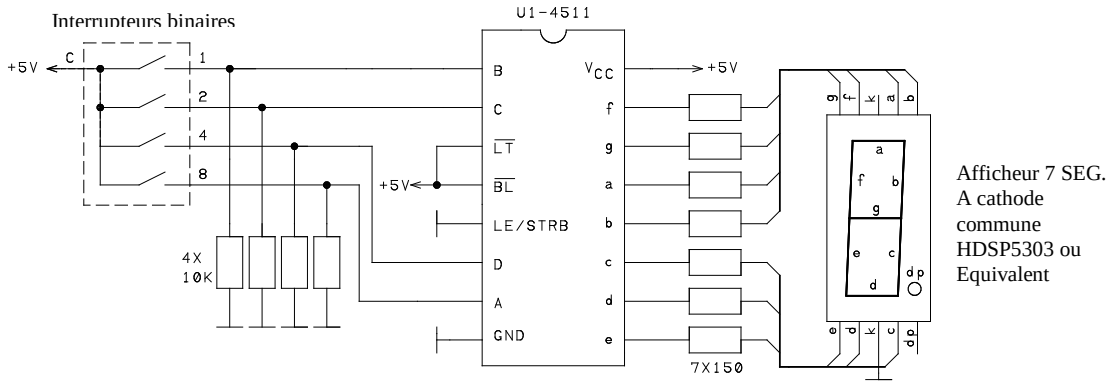
1 CI 4511 : Décodeur BCD-7 Segments avec latch (buffer)

1 afficheur 7 segments à cathode commune de type HDSP5303 ou équivalent

7 résistances 150Ω, ¼ W

Un interrupteur binaire (se trouvant sur le 1137-D)

4 résistances de rappel de 10KΩ (se trouvant sur le 1137-D)



Afficheur 7 SEG. A cathode commune HDSP5303 ou Equivalent

FIG. 3 : Circuit de Test du convertisseur Binaire / 7SEG.

Le circuit de la figure ci-dessus affiche le nombre introduit par les interrupteurs binaires sous forme décimale.

Noter que le 4511 peut seulement convertir des entrées entre 0 et 9 (Décimale) et les nombres Hexadécimaux A, B, C, D, E, F ne peuvent être affichés.

CHAPITRE 7 – BASCULES

1 – La bascule RS

Ce type de base de la bascule a déjà été utilisé par l'étudiant. Cependant, il est intéressant de revoir ses principes de fonctionnement pour une étude complète des divers types de bascules (voir figure 1)

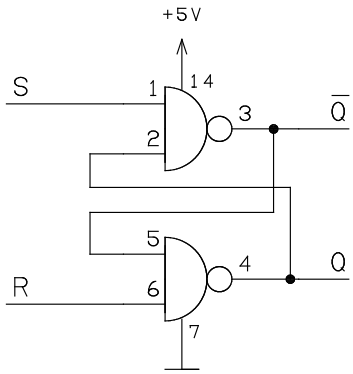


FIG. 1 : Bascule RS de base.

– Utiliser un CI type 4011

– Ne pas laisser les pattes des entrées inutilisées (8,9,12,13) en l'air, les mettre à la masse.

– Utiliser une alimentation de +5V

– Utiliser les signaux des générateurs d'états logiques pour les entrées et deux indicateurs de niveaux logiques pour afficher l'état des sorties

– R et S doivent être normalement laissé à l'état haut.

Quand S est mis à l'état bas (R à état haut), la sortie Q passe à l'état haut.
Quand R est mis à l'état bas (S à état haut), la sortie Q passe à l'état bas.

2 – La bascule D

Le schéma de la figure 1 peut être changé en celui de la figure 2.

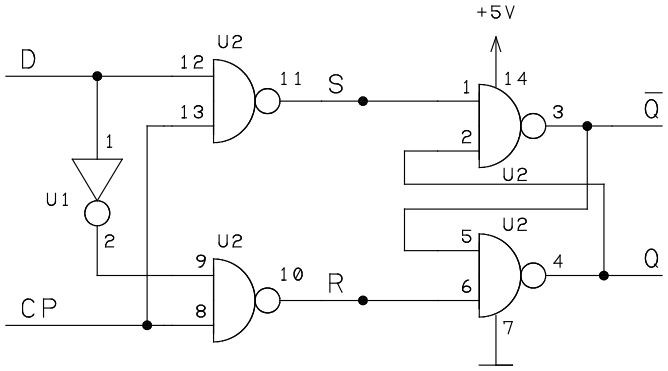


FIG. 2 : Bascule de Type D

U1=4069
U2=4011

La tension d'alimentation est de +5V
Mettre toutes les entrées des CI non utilisées à la masse.

Utiliser les signaux des générateurs d'états logiques pour les entrées et deux indicateurs de niveaux logiques pour afficher l'état des sorties

Le fonctionnement du circuit est comme suit:

Une transition bas, haut, puis bas va enregistrer le niveau logique de D. En d'autres termes, avec CP à l'état haut, la bascule sera mise à 1 ou à 0 selon que D est à 1 ou à 0. Quand CP passe à l'état bas, la bascule garde son état.

3 – Bascule JK

Dans cette expérience, on utilisera un CI type 4027 dont le datasheet est donné en annexe

La figure 3 montre le circuit de test:

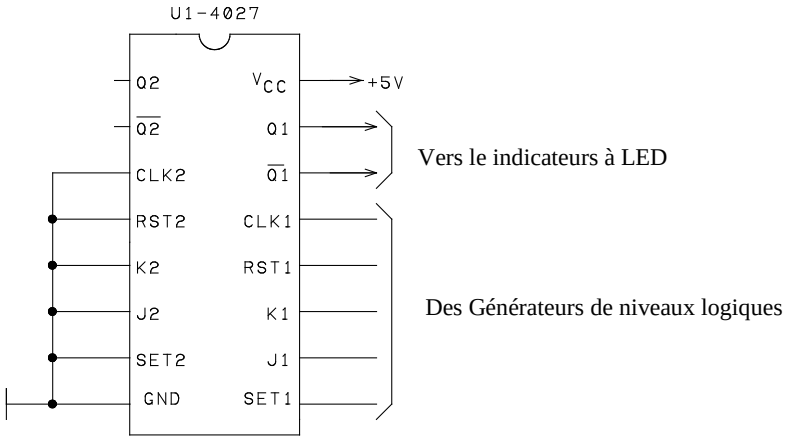


FIG. 3 : Circuit de test de la bascule JK

Vérifier la table de vérité de la bascule JK, qui doit être comme suit :

ETATS PRESENTS					CLK*	ETATS SUIVANTS		
ENTREES				SORTIE		SORTIES		
J	K	S	R	Q		Q	$\overline{Q}$	
1	X	0	0	0	L/H	1	0	
X	0	0	0	1	L/H	1	0	
0	X	0	0	0	L/H	0	1	
X	1	0	0	1	L/H	0	1	
X	X	0	0	X	H/L			INCHANGE
X	X	1	0	X	X	1	0	
X	X	0	1	X	X	0	1	
X	X	1	1	X	X	1	1	

L/H –Transition état bas vers l'état haut
H/L –Transition état haut vers l'état bas
X –Indifférence
* - changement de niveau

CHAPITRE 8 – APPLICATIONS A BASCULES

1 – Diviseur de fréquence (par 2)

La figure 1 Montre le principe de ce diviseur

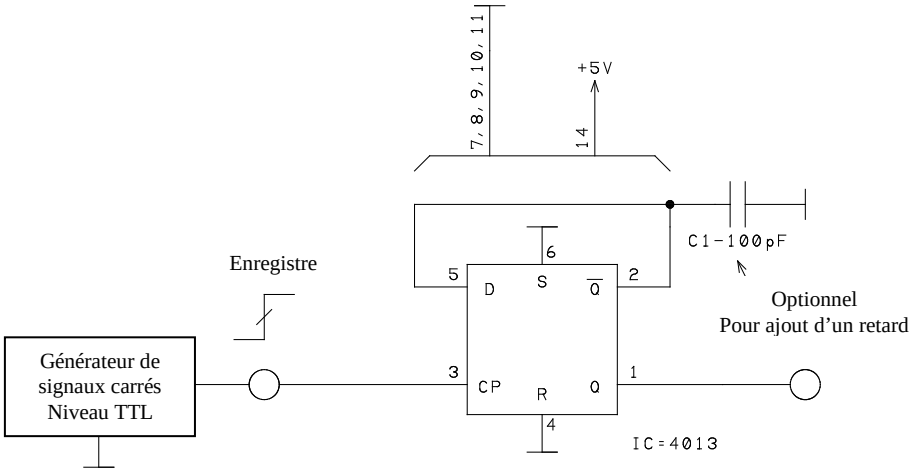


FIG. 1 : Diviseur de Fréquence

On utilise ici un CI type 4013.

Une seule des deux bascules disponibles est utilisée avec la sortie inverseuse connectée sur son entrée D. De cette manière, sur le front montant de l'horloge, la valeur de la sortie $\overline{Q}$ est enregistrée. Immédiatement après, $\overline{Q}$ change d'état préparant ainsi la prochaine opération pour le prochain top d'horloge.

Le fonctionnement de ce circuit dépend par le retard mis par bascule pour fixer la sortie à la nouvelle valeur logique quand l'horloge envoi un front montant pour mémoriser la donnée.

Ce retard est naturellement de l'ordre de dix nanosecondes mais peut être augmenté en ajoutant une capacité pour un fonctionnement plus fiable comme c'est indiqué sur la figure 1.

Le générateur de signaux du 1137-D est utilisé pour produire l'horloge d'entrée. Le générateur SQW doit être configuré compatible niveaux TTL (0/+5V)

Comme alternative, un bouton poussoir, utilisé comme générateur à une impulsion, peut être utilisé pour produire une entrée.

L'état du bit de sortie peut être affiché par l'un des différents indicateurs de niveau logique (sonde logique, LED, …)

2 – Registre parallèle

On utilise ici deux CI type 4013, connectés comme on le voit sur la figure 2.

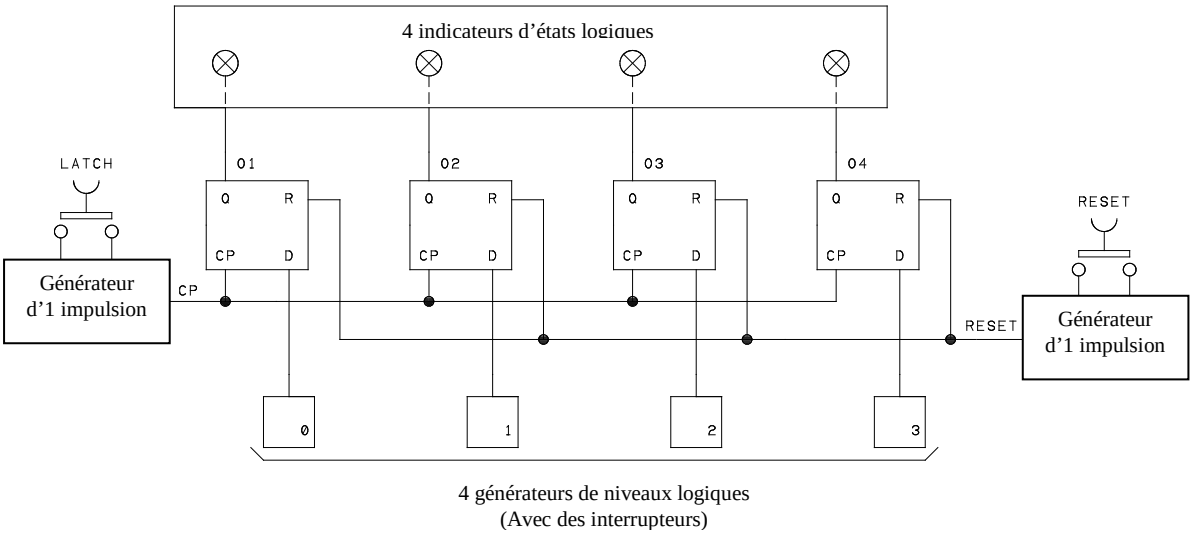


FIG. 2 : Circuit de test pour un registre parallèle

Les quatre bascules ont R, S et CP en commun et leurs entrées D séparées.

Une combinaison binaire peut être configurée avec les boutons 0 à 3 et introduite en parallèle dans le registre quand le bouton poussoir CP est appuyé.

Un deuxième bouton poussoir est utilisé pour remettre à zéro le registre.

Les LED en sortie du registre sont utilisées pour afficher la combinaison binaire enregistrée.

La tension d'alimentation est de +5V
Mettre toutes les entrées des CI non utilisées à la masse.

3 – Compteur binaire

Les quatre bascules des deux CI 4013 peuvent être configurées pour fonctionner comme un compteur binaire à quatre étages.

La figure 3 montre le montage à réaliser.
La tension d'alimentation est de +5V

Mettre toutes les entrées des CI non utilisées à la masse.

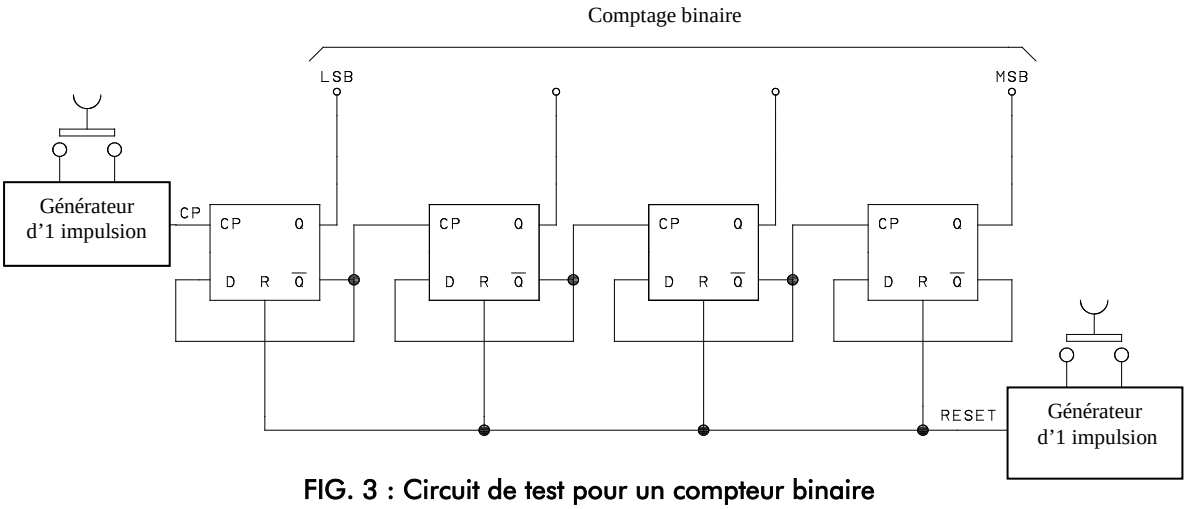


FIG. 3 : Circuit de test pour un compteur binaire

4 – Décompteur binaire

Comme alternative au compteur réalisé dans le paragraphe précédent qui compte de 0 à F (Hexadécimal), ce compteur décompte de F(H) à 0 et redémarre à F(H).

La figure 4 montre le montage de ce compteur. Il utilise deux CI 4013.
La tension d'alimentation est de +5V

Mettre toutes les entrées des CI non utilisées à la masse

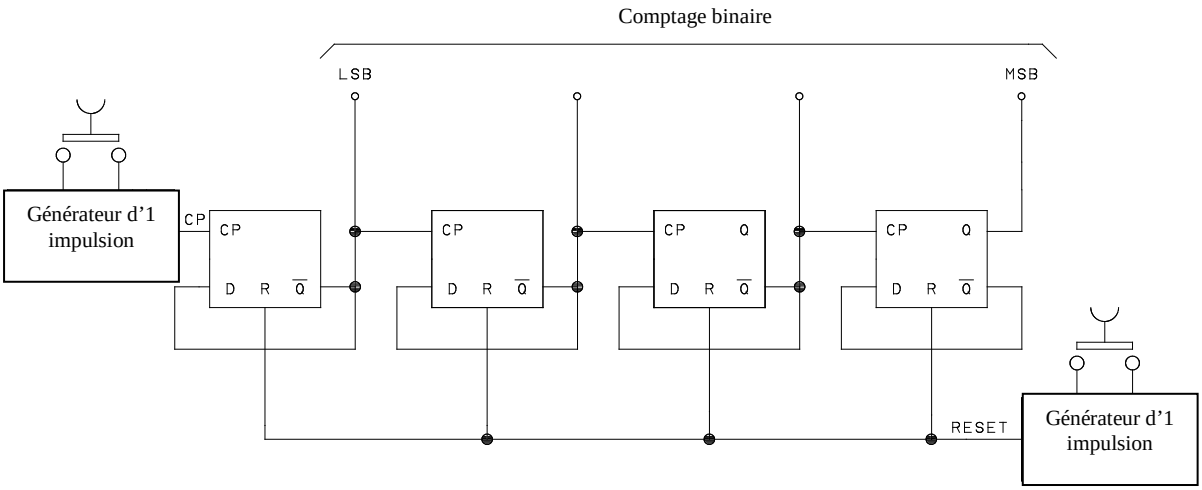


FIG. 4 : Circuit de test pour un décompteur binaire

5 – Compteur diviseur par n

Le compteur présenté sur la figure 5 est obtenu par l'interconnexion des quatre bascules des deux CI 4013

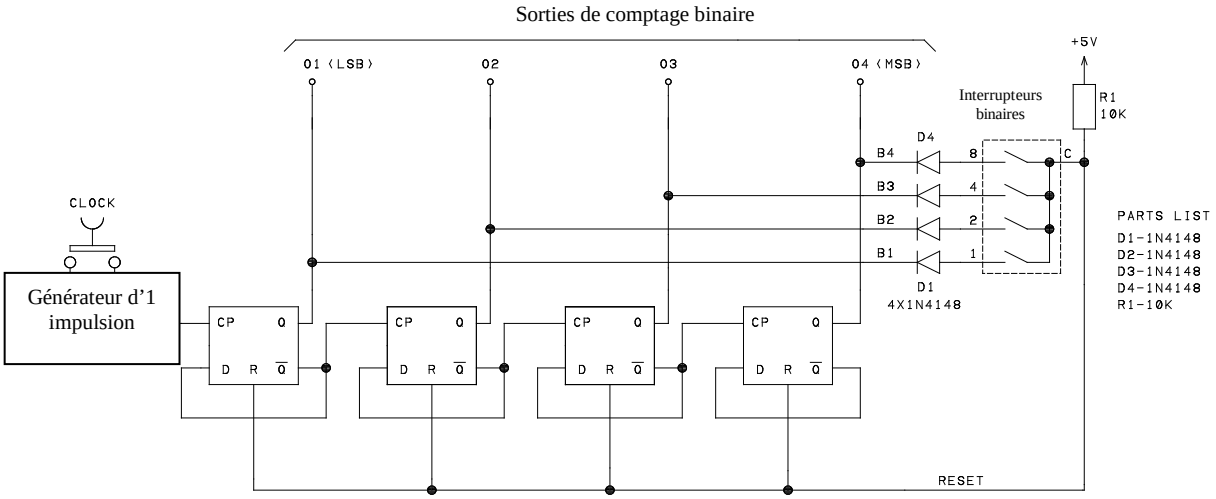


FIG. 5 : Circuit de test pour un compteur diviseur par N

.

Le compteur démarre à 0 et compte jusqu'au nombre binaire configuré par les microswitches. Quand il atteint ce nombre, le compteur est remis à zéro.

Remarquer que I l'on désire avoir un modulo N, les microswitches doivent être configuré pour avoir la combinaison N+1.

Après avoir expérimenté ce compteur programmable, il sera demandé à l'étudiant de faire les changements nécessaires pour réaliser un décompteur programmable.

6 – Registre à décalage

Le registre à décalage de la figure 6 est à base de quatre étages de bascules en cascade. Chaque étage transmet au suivant son contenu binaire à chaque commande de décalage active au front montant des impulsions d'horloge.

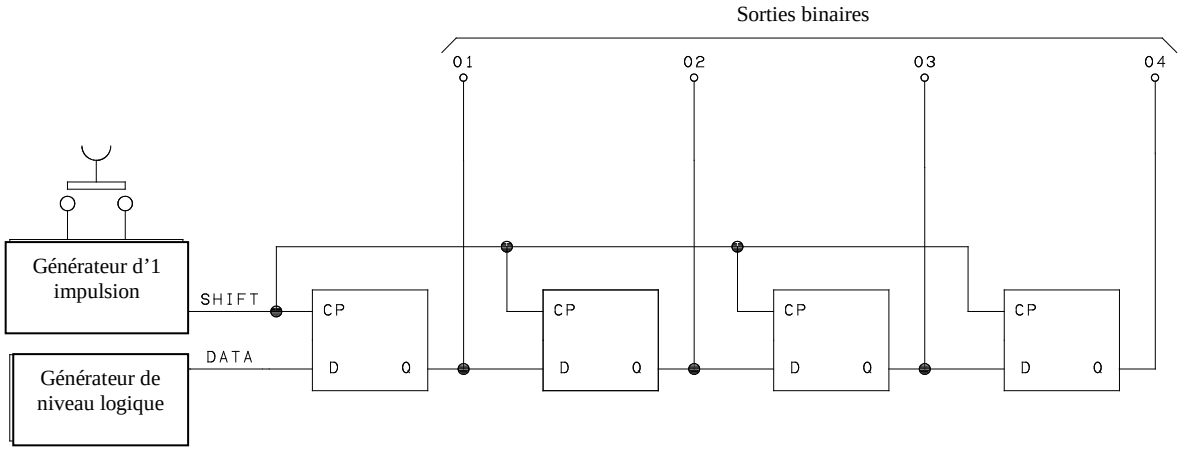


FIG. 6 : Circuit de test pour un registre à décalage

Les commandes de décalage sont générées par appui sur le bouton poussoir de décalage. Les données sont rentrées par la gauche et décalée vers la droite.

La donnée entrée peut être un 0 ou 1 logique générée par le générateur de niveau logique.

Ce circuit est alimenté avec une tension de +5V
Mettre toutes les entrées des CI non utilisées à la masse

CHAPITRE 9 – TRIGGER DE SCHMITT CMOS: DETECTEUR DE SEUIL

Le trigger de Schmitt détecteur de seuil à portes logiques CMOS est constitué de deux portes inverseuses en cascade dont la sortie de la seconde porte est réinjectée avec la même polarité à l'entrée de la première. (Voir figure 1)

Le cycle de l'hystérésis est déterminé par le rapport des résistances R2 sur R1.

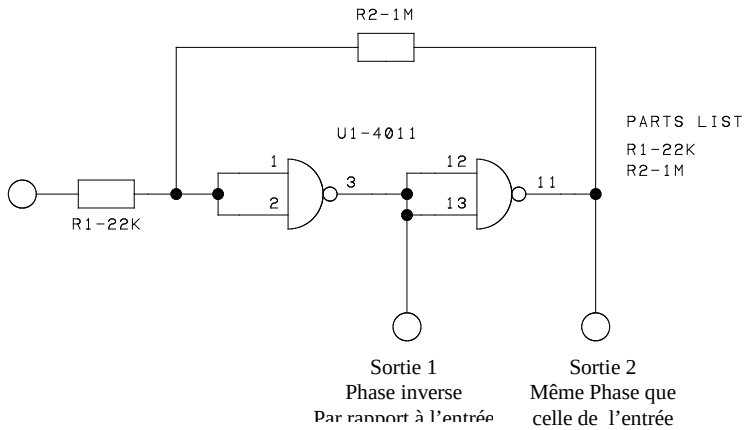


FIG. 1 : Circuit de SCHMITT de base (CMOS)

Ce circuit peut être appliqué dans une variété d'applications, dont certaines sont décrites dans les paragraphes suivants :

Noter que dans la famille des CI CMOS, il existe des types qui intègrent la fonction de Schmitt. Comme exemple on peut citer le 40106, 4093, …

1 – Génération de niveaux logiques à partir de signaux lents.

Cette application peut être testée avec le circuit de la figure 2.

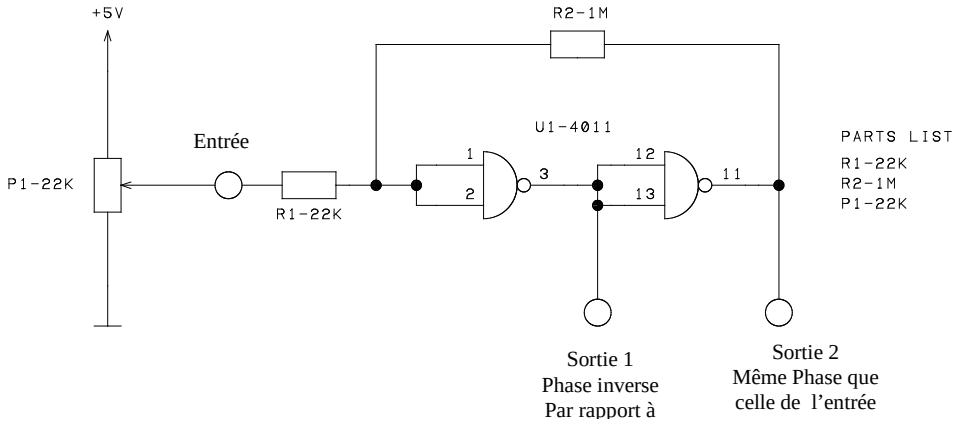


FIG. 2 : Schéma du Circuit de Test

Le potentiomètre d'entrée est utilisé pour générer un signal à variations lentes, qui et injecté à l'entrée du trigger de Schmitt. Il commute à des niveaux de tensions haut et bas précis avec hystérésis. Il permet d'avoir des transitions de niveaux raides comme requis par la logique intégrée.

Ce circuit est alimenté avec une tension de +5V
Mettre toutes les entrées des CI non utilisées à la masse

2 – Générateur de retard

Ce circuit de Schmitt peut être utilisé comme minuterie pour un ensemble d'application, par exemple pour le contrôle d'un relais.
Les figures 3, 4 et 5 montrent 3 cas d'utilisation :

Ce circuit est alimenté avec une tension de +5V
Mettre toutes les entrées des CI non utilisées à la masse

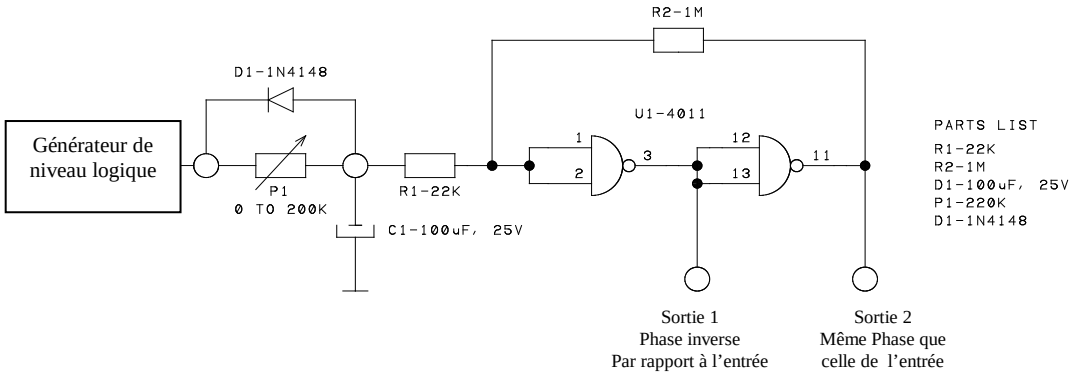


Fig. 3 – Générateur de retard d'établissement

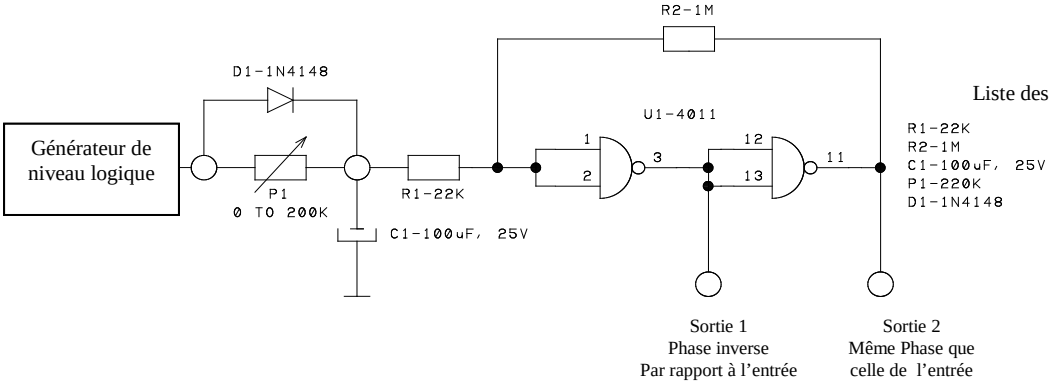


Fig. 4 – Générateur de retard d'extinction

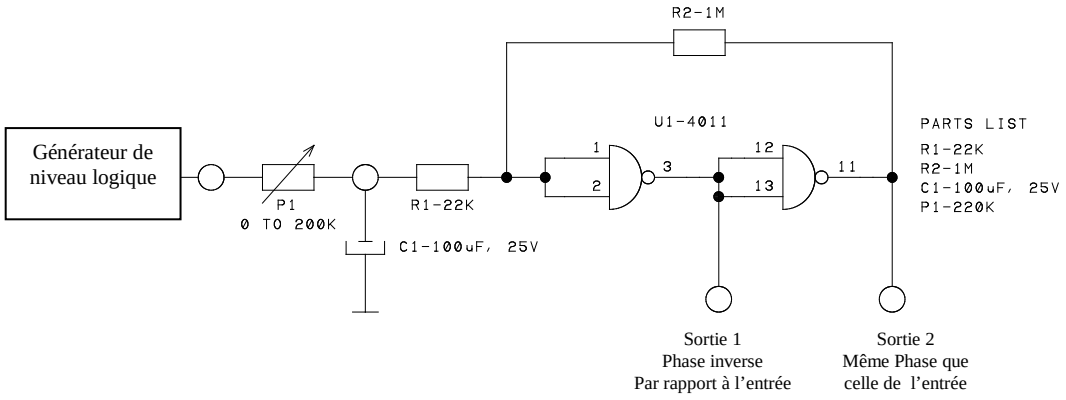


Fig. 5 – Commutation retard d'établissement/extinction

Noter que pour les 3 cas, P1 est utilisé pour avoir une constante de temps avec la capacité C1. Le meilleur réglage de P1 doit être déterminé expérimentalement. Une valeur excessive de P1 peut empêcher le temporisateur de fonctionner.

En choisissant correctement la constante de temps RC, les applications suivantes peuvent être réalisées avec ces circuits :

- Contact anti-rebond (Constante de temps RC d'approximativement 50 msec)
- Minuterie pour cage d'escalier (RC de quelques minutes, retard à l'extinction seulement)

3 –Générateur d'horloge

Cette application est présentée en figure 1. Des exemples d'applications de ce circuit sont:

- Centrale clignotante automobile
- Feux clignotant d'urgence.

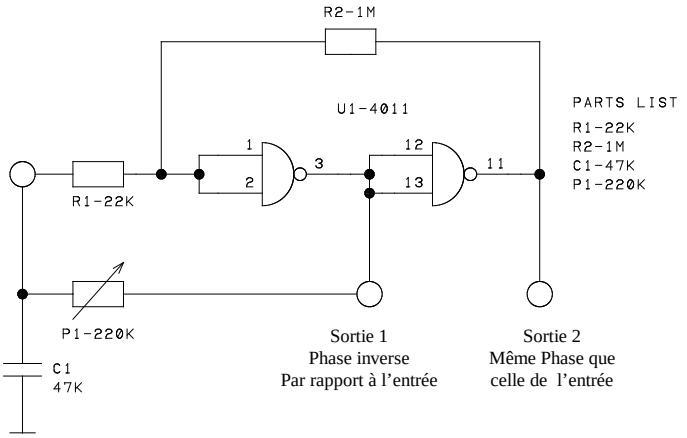


Fig. 6 – Oscillateur RC CMOS